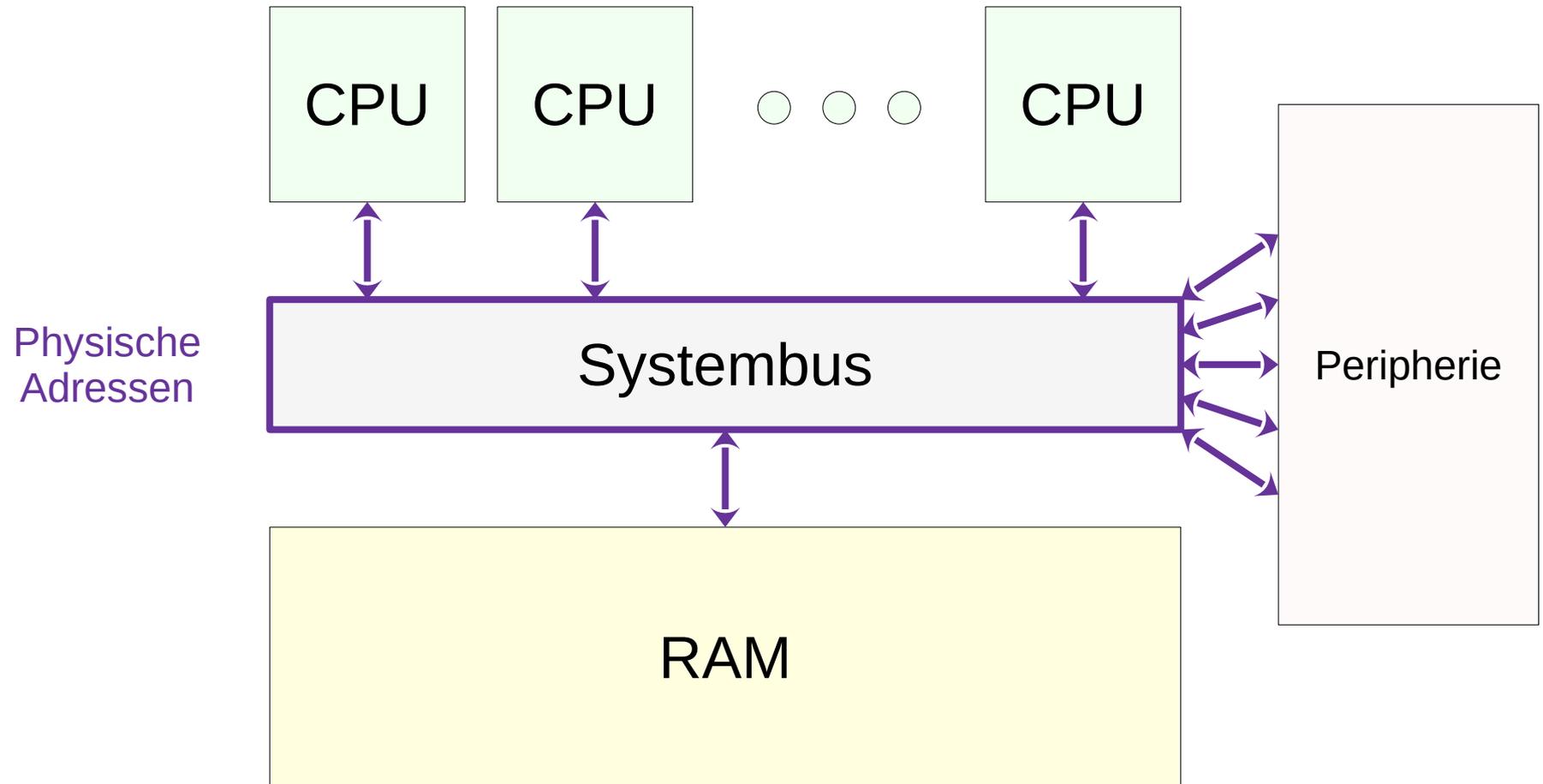


# Segmente, Adressen und die MMU

DHBW Stuttgart

Roland Weber

# Hardware ohne MMU



# Adressen

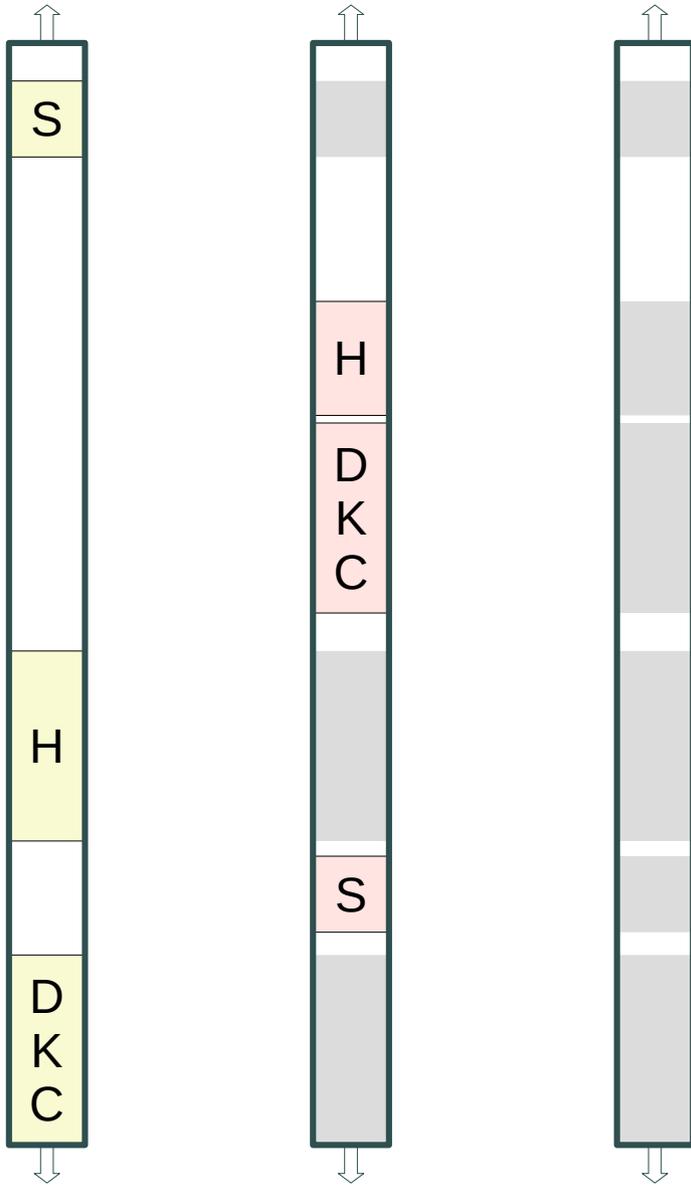
10101000101110010001110011100010



1010 1000 1011 1001 0001 1100 1110 0010

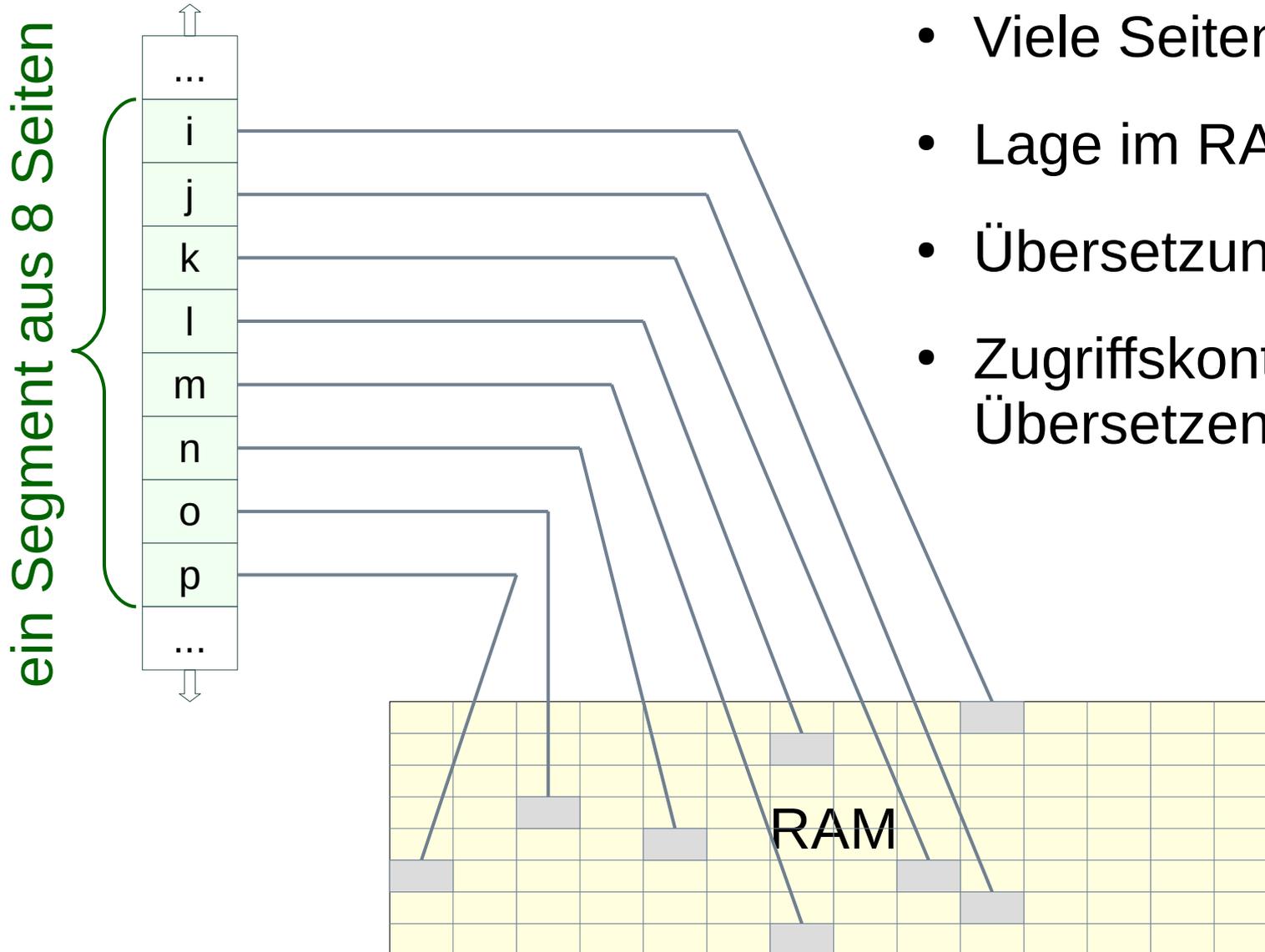
A 8 B 9 1 C E 2

# Physische Segmente



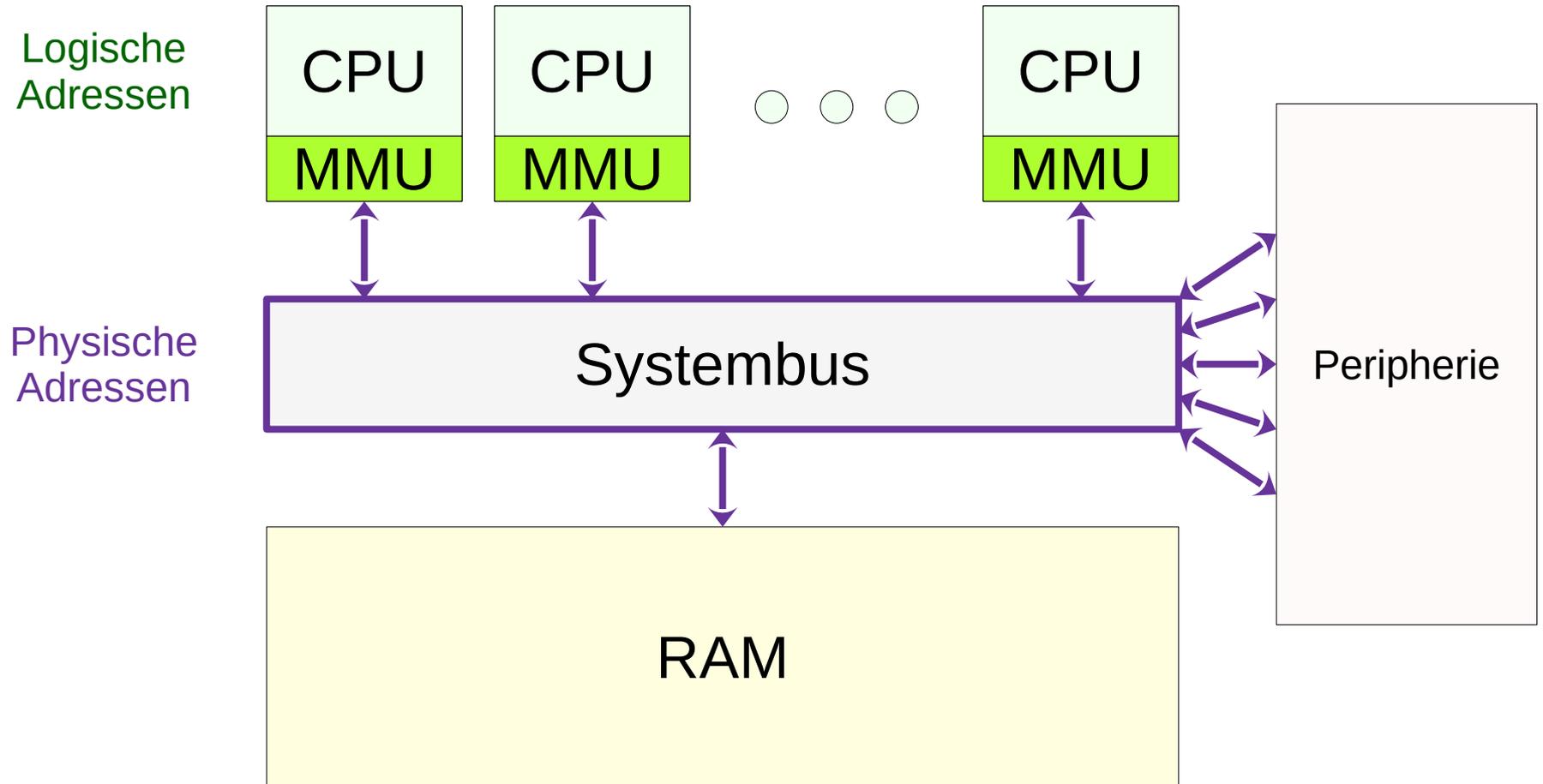
- Verwaltung wie eine Halde
  - Freier Speicher fragmentiert
  - Keine Wunschadressen
  - Nachträgliches Vergrößern kann scheitern
- ^ alles erträglich, aber...
- Keine Kontrolle der Speicherzugriffe

# Logische Segmente



- Viele Seiten fester Größe
- Lage im RAM beliebig
- Übersetzung durch MMU
- Zugriffskontrolle beim Übersetzen

# Hardware mit MMU

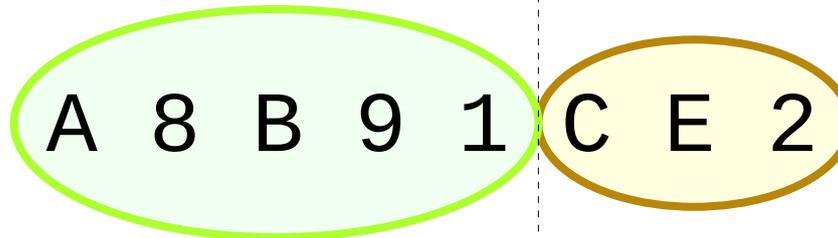


# Adressteile

Seitengröße 4 KiB

12 Bit Adresse für  
 $0x1000 = 4096$  Byte

Seitennummer



Offset

Seitenanfang / Seitenadresse

A 8 B 9 1 0 0 0

# Adressübersetzung

Übersetzungstabelle

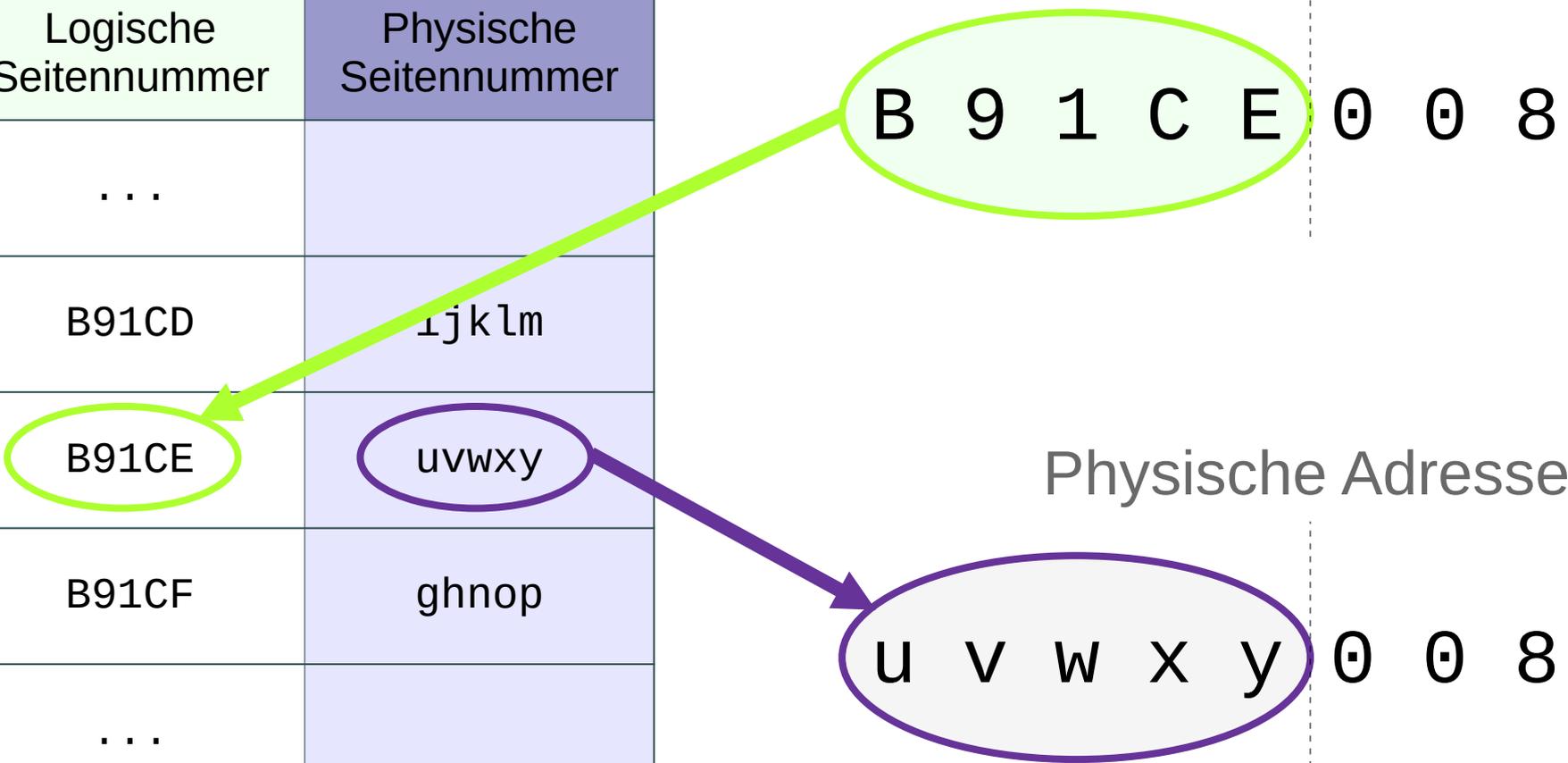
Logische Seitennummer	Physische Seitennummer
...	
B91CD	ijklm
B91CE	vwxy
B91CF	ghnop
...	

Logische Adresse

B 9 1 C E 0 0 8

Physische Adresse

u v w x y 0 0 8



# Zugriffskontrolle

## Übersetzungstabelle

Logische Seitennummer	Physische Seitennummer	Flags
<Code>		Code / Lesen
<Konstanten>		Daten / Lesen
<Statische Daten>		Daten / Schreiben
<Halde>		Daten / Schreiben
<Stapel>		Daten / Schreiben

auf Seiten ohne Übersetzung gar kein Zugriff

# Übersetzungstabellen

